

PAT-NO: JP403250635A  
DOCUMENT-  
IDENTIFIER: JP 03250635 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE AND MOLDING  
DEVICE  
PUBN-DATE: November 8, 1991

INVENTOR-INFORMATION:

NAME	COUNTRY
KASUGA, TAKAHIRO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI HOKKAI SEMICONDUCTOR LTD	N/A

APPL-NO: JP02045450  
APPL-DATE: February 28, 1990

INT-CL (IPC): H01L021/56

US-CL-CURRENT: 264/272.17

ABSTRACT:

PURPOSE: To inhibit the generation of void in a package by forming a resin intake passage to each gate which communicates with each cavity which comprises a groove formed on the surface of a lower mold and an upper mold.

CONSTITUTION: After a lead frame mounted with semiconductor chips is set into lower molds of grooves 4, 4' comprising each cavity, both lower and upper molds are brought into a mold-fastened state based on the application of pressure, such as hydraulic pressure. Under this state, resin 13 formed in tablet shape is cast into a pot 11, heated and molten. When a plunger 14 is lowered along the inner wall of the pot 11 and the resin 13 is compressed, the molten resin 13 flows into

gates 3 along the surface of a side 2A of cull. At that time, most of the air involved in the resin flows along the side of gates 3, but the resin flowing ahead easily involving the air and the resin near the side of the gate, flow into a resin intake passage 12, and the resin flowing in the central part where no air is involved, is injected into cavities 4.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-250635

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月8日

H 01 L 21/56

T

6412-5F

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体装置の製造方法およびモールド装置

⑯ 特 願 平2-45450

⑰ 出 願 平2(1990)2月28日

⑱ 発 明 者 春日 孝 弘 北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立北海セミコンダクタ株式会社 北海道亀田郡七飯町字中島145番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

#### 明 細 書

#### 1. 発明の名称

半導体装置の製造方法およびモールド装置

#### 2. 特許請求の範囲

1. リードフレームに直接または絶縁基板等を介して間接的に半導体チップを取り付け、かつ上記半導体チップ上の電極とリードフレームの所望部とを電気的に接続する組立工程と、上記リードフレームを下型および上型からなるモールド型に型締めした後、前記下型あるいは上型の表面に形成された複数本のゲートを介して溶融したレジンを上記両型面に形成した溝によって構成されるキャビティ内に圧入して上記リードフレームの所定部分をレジンにて覆うモールド工程とを有する半導体装置の製造方法であって、上記ゲートに連通したレジン引込路に流動するレジンの先端部を引き込み、封止を行なうことを特徴とする半導体装置の製造方法。

2. 上型または下型に形成されたタブレット状に成型されたレジンを投入するための複数のポッ

トと、上記ポットに沿って移動しポット内に投入したタブレット状のレジンを圧縮するためのプランジャと、上記両型面の片方に形成され、かつ上記ポットを挟んで両側の位置に形成されたゲートと、各ゲートにそれぞれ対応して配置され、両型面にて形成されているキャビティと隣接するゲートに連通して設けられたレジン引込路が形成されていることを特徴とするモールド装置。

3. 上型または下型に形成されたタブレットを投入するための複数のポットを一行に配置していると共に、各ポットに対して両側に上型または下型に形成しているゲートと、各ゲートにそれぞれ対応して配置され、両型面に形成した溝で構成されているキャビティと各ゲートと連結して設けられたレジン引込路を有し、かつ上記レジン引込路は複数本のゲートに共通して形成されていることを特徴とするモールド装置。

#### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造技術、特にトランスファーマールドによってパッケージを製造する半導体装置に関するものである。

〔従来の技術〕

半導体チップを取り付けワイヤボンディングが完了したリードフレームをセットしたのち、モールド金型の上型と下型との間に挟んで型締めした後、上型のほぼ中央部に設けたポット内にタブレット型に成形した粉末樹脂を投入する。そしてプランジャをポットの内壁面にそって下降させて溶けたレジンを上下型によって形成されたランナーおよびゲートを通じてキャビティ内に送りこみ、キャビティ内に位置するリードフレーム部分をレジンで覆うようにしている。

ところが、上述のようなモールド装置にあつては、長いランナーがあるためレジンの使用効率が極めて悪く、また電子材料別冊1987年版超LSI製造・試験装置ガイドブック工業調査会発行p160～165等に記載されているように自動化が可能なマルチプランジャモールド金型が採用

されるようになってきた。マルチプランジャは長いランナーがなく直接ゲートを介して2～4個のキャビティ内にレジンを注入するように成っている。

第6図は上述のマルチプランジャモールド金型の下型平面図、第7図はレジン注入時の状態説明図、第8図及び第9図はそれぞれⅣ-Ⅳ線及びⅤ-Ⅴ線断面図である。

1は下型であり、その表面にはタブレット状に成形したレジン(図示せず)を載せるカル(上型に設けたポットに対応している)が形成され、このカル2を挟んでゲート3、3が設けられている。

4、4は半導体装置のパッケージを形作るキャビティとなる溝であり各ゲート3、3は上記溝に連通して形成されている。

5は各カル間を連結する連結部であり、カル2に置いたタブレット状レジンを溶融した状態でゲート3、3を介してキャビティ4、4内に圧入する際の空気の抜け道として形成されている。

〔発明が解決しようとする課題〕

第7図にて示すⅣ-Ⅳ線及びⅤ-Ⅴ線に、レジン6の断面を観測すると、第8図及び第9図にて分かるように連結部5だけでなく、キャビティ4、4側のレジンにも空気(ボイド)7が巻き込まれており、ボイドの原因となることが多々あり、今後ますます軽薄短小化の進む半導体装置にあつては、よりボイドの発生を低減させる必要があつた。

本発明の目的は、パッケージ内のボイド発生を抑制できるモールド技術を提供するものである。

本発明の他の目的は、マルチプランジャ型のモールド装置におけるモールド製品の品質向上を達成するものである。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの特徴を簡単に説明すれば、下記のとおりである。

すなわち上下型表面に形成した溝で構成される各キャビティに連通する各ゲートにレジン引込路を形成するものである。

〔作用〕

上記した手段によれば、キャビティ内にレジンが流入する直前で、空気を巻き込んでいる流動レジン先端部及び側面部をレジン引込路内に引込み、キャビティへは空気を巻き込んでいないレジンを注入することができ、ボイドのないパッケージが得られるものである。

〔実施例〕

第1図は、本発明の一実施例であるモールド装置の下型平面図、第2図は第1図のモールド装置部分拡大図、第3図及び第4図はそれぞれ第2図のⅠ-Ⅰ線およびⅡ-Ⅱ線断面図、第5図は、第1図のモールド装置をⅢ-Ⅲ線で切断した際の断面構成図である。

以下、図に従い詳細に説明する。なお、第6図にて説明した構成と同一構成部分については同符号を付し、その節名を省略する。

図示するように下型10の表面にはポット11に対抗してカル2、2が複数直列に配置されている。また、上記カル2、2を挟んで両側にはカル2、2の配列方向と直行する方向にゲート3、3

が一对形成されており、かつ各々ゲート3, 3には半導体装置(図示せず)のキャビティを構成する溝4, 4が形成されている。12, 12のゲート3, 3に連通するレジン引込路で、本実施例ではカル2, 2に対して同方向側に位置するゲート3, 3に共通して形成されている。

次に半導体装置の製造方法について説明する。今、各キャビティを構成する下型10の溝4, 4には半導体チップを搭載したリードフレーム(図示せず)をセットしたのち上下両型を油圧等の圧力を利用して型締めした状態とする。この状態でポット11内にタブレット状に成形したレジン13を投入して加熱し熔融する。次にポット11の内壁面に沿ってプランジャ14を下降させ上記レジン13を圧縮すると熔融したレジンはカル2の側面2Aに沿ってゲート3, 3に流入していく。このとき、レジン中に巻き込まれた空気の大部分はゲート3の側面に沿って流れるが、途中レジンの先端部及びゲート3の側面に沿って流れているレジンはレジン引込路12に流入する。すなわち、

れる。

(3) 同方向に延在するゲートに対して共通したレジン引込路を設けることにより、より簡単に型を製作できると共にモールド完了後不要となったレジンを型から取り出す際に各ゲートに共通したレジン引込路内側のレジンを一体に取り出す事が可能となるものである。

なお、このとき、各ゲート間にはレジン引込路に連通した空気の逃げ道(エアーベント)が形成されている。

以上、本発明者によってなされた発明を実施例にもとづき説明したが、本発明は上記実施例に限定されるものではなくその要旨を逸脱しない範囲で種々変更可成であることはいうまでもない。たとえば、レジン引込路は直線状でなく曲線状であっても良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置のモールド技術に適用した場合について説明したが、それに限定されるものではなく、たと

え、空気が巻き込まれ易いレジン流動先端部及びゲート側面近傍を流れるレジンはレジン引込路12に流れていき、空気の巻き込んでいないゲート中央部を流れるレジンがキャビティ4, 4に注入されていくことになる。従って、第4図で示すようにレジン引込路12にはレジン内に空気15が巻き込まれているが、キャビティ4に注入されたレジンには空気が存在していない。従って、ボイドのない半導体装置が得えられることになる。

次に本実施例の作用及び効果について説明する。

(1) 各ゲートにレジン引込路を形成することにより、カル壁面のどの領域で巻き込んだ空気であっても、かならずゲートの側面に沿って流れていくためレジン引込路へと引込まれていき、空気の巻き込んでいない、すなわちゲートの中央部分を流れるレジンがキャビティ内へと充填されていく。そのためボイドのない耐湿性良好な半導体を得られるものである。

(2) 上記により、モールドにおける品質歩留を飛躍的に向上させることができるという効果が得ら

れる。例えば、1ポット型のモールド装置にも適用することができる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、キャビティ内にレジンが注入される直前に位置するゲートにレジン引込路を設け、ゲート側面に沿って流動している空気を含んでいるレジンをレジン引込路中に取り込みボイドのないモールド製品を得ることができるものである。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例であるマルチプランジャ方式のモールド装置の下型平面図。

第2図は、第1図のモールド装置におけるレジン注入状態図。

第3図、第4図はそれぞれ第2図のI-I線及びII-II線断面図。

第5図は、第1図のモールド装置のIV-IV線における断面説明図。

第6図は、従来のモールド装置の下型平面図、  
第7図は、第6図のモールド装置に折れるレジ  
ン注入状態図、

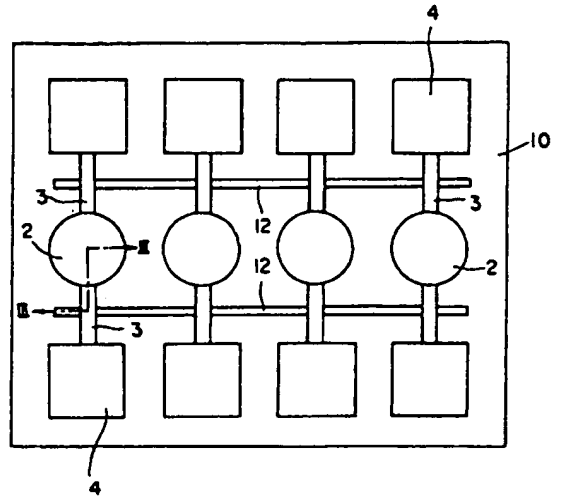
第8図、第9図はそれぞれ第7図のⅣ-Ⅳ線及  
びⅤ-Ⅴ線断面図である。

2…カル、3…ゲート、4…溝、10…下型、  
11…ポット、12…レジン引込路、13…タブ  
レット状レジン、14…プランジャ、15…空気。

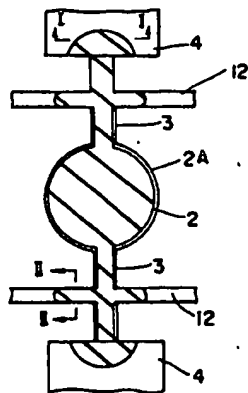
代理人 弁理士 小川 勝 男



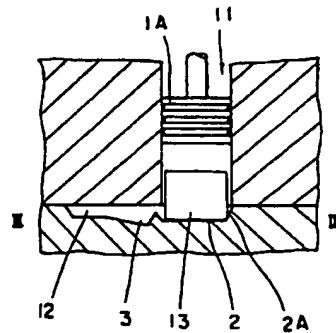
第 1 図



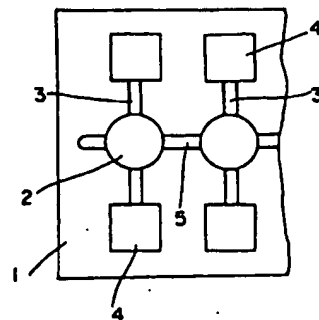
第 2 図



第 5 図



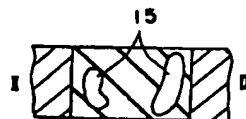
第 6 図



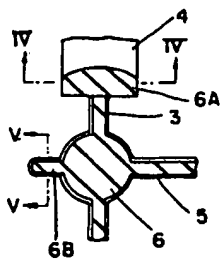
第 3 図



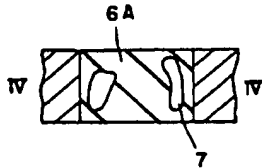
第 4 図



第 7 圖



第 8 圖



第 9 圖

